

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of:

KURITA

Group Art Unit: UNKNOWN

Application No.: New Application

Examiner: UNKNOWN

Filed: Concurrently Herewith

Attorney Dkt. No.: 108075-00111

For: SEMICONDUCTOR DEVICE AND METHOD FOR CONTROLLING  
SEMICONDUCTOR DEVICE

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: July 14, 2003

Sir:

The benefit of the filing dates of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

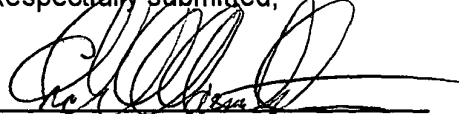
Japanese Patent Application No. 2002-231647 filed on August 8, 2002

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein  
Registration No. 25,895

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM/jch

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 8日

出 願 番 号

Application Number:

特願2002-231647

[ ST.10/C ]:

[ JP 2002-231647 ]

出 願 人

Applicant(s):

富士通株式会社

2002年11月29日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3094105

【書類名】 特許願

【整理番号】 0240905

【提出日】 平成14年 8月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/406

【発明の名称】 半導体装置及びその制御方法

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ  
ィエルエスアイ株式会社内

【氏名】 栗田 裕司

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその制御方法

【特許請求の範囲】

【請求項 1】 複数のモードを有し、各モードに従い動作する半導体装置において、

前記モードを設定する設定情報を記憶するための回路であって、該設定情報とその記憶の有無を示す判定信号とを出力するモード設定用の複数のヒューズ回路と、

前記複数のヒューズ回路からの判定信号に基づき設定される優先順位に応じたヒューズ回路の設定情報を選択的に出力するヒューズ情報選択回路と、

前記設定情報を無効化するための無効化信号を出力する無効化用のヒューズ回路と

を備え、前記無効化信号に基づいて、前記ヒューズ情報選択回路から出力される設定情報を無効とするようにしたことを特徴とする半導体装置。

【請求項 2】 複数のモードを有し、各モードに従い動作する半導体装置において、

前記モードを設定する設定情報を記憶するための回路であって、該設定情報とその記憶の有無を示す判定信号とを出力するモード設定用の複数のヒューズ回路と、

前記複数のヒューズ回路からの判定信号に基づいて、前記各ヒューズ回路の設定情報の優先順位を設定するための選択信号を出力する優先順位設定回路と、

前記優先順位設定回路からの選択信号に基づいて、前記優先順位に応じたヒューズ回路の設定情報を選択的に出力するヒューズ情報選択回路と、

前記設定情報を無効化するための無効化信号と、前記優先順位を変更するための変更信号とを出力する無効化用のヒューズ回路と

を備え、前記変更信号に基づいて、前記ヒューズ情報選択回路から出力される設定情報を変更し、前記無効化信号に基づいて、前記ヒューズ情報選択回路から出力される設定情報を無効とするようにしたことを特徴とする半導体装置。

【請求項 3】 前記無効化信号に基づいて、前記設定情報に応じたモード設

定を無効とし、外部から入力されるモード設定信号に応じたモード設定を有効とするよう制御される切り替え回路と

を備えたことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記モード設定用の各ヒューズ回路は、前記設定情報を記憶するための設定用ヒューズ素子と、前記設定用ヒューズ素子が切断されているか否かを判定するための判定用ヒューズ素子とを備えることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 5】 前記判定用ヒューズ素子の切断状態に応じて前記モード設定用の各ヒューズ回路から出力される判定信号と、前記無効化用のヒューズ回路から出力される無効化信号とが入力され、前記判定信号及び無効化信号に基づいて選択信号を出力するヒューズ設定判定回路と、

前記ヒューズ設定判定回路からの選択信号により、前記設定情報に応じたモード設定を無効とし、外部から入力されるモード設定信号に応じたモード設定を有効とするよう制御される切り替え回路とを備えることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 データを記憶するためのメモリコアを備え、該メモリコアについて部分的にリフレッシュを行うパーシャルリフレッシュを実施するものであり、

前記設定情報は、パーシャルリフレッシュにおける容量を確定する情報を含むことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 7】 データを記憶するためのメモリコアを備え、該メモリコアについて部分的にリフレッシュを行うパーシャルリフレッシュを実施するものであり、

前記設定情報は、パーシャルリフレッシュにおけるアドレス領域を確定する情報を含むことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 8】 ヒューズ素子を切断することによりモードの設定情報を記憶するモード設定用の複数のヒューズ回路と、当該各ヒューズ回路の設定情報を無効化する無効化用のヒューズ回路とを備えた半導体装置の制御方法であって、

前記モード設定用の各ヒューズ回路におけるヒューズ素子が未切断である状態

において、外部入力によるモード設定信号に応じたモード設定を有効とするステップと、

前記モード設定用の第 1 ヒューズ回路におけるヒューズ素子が切断された状態において、前記外部入力によるモード設定信号に応じたモード設定を無効とし、前記第 1 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定を有効とするステップと、

前記モード設定用の第 2 ヒューズ回路におけるヒューズ素子が切断された状態において、前記第 1 ヒューズ回路の設定情報に応じたモード設定を無効とし、前記第 2 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定を有効とするステップと、

前記無効化用のヒューズ回路におけるヒューズ素子が切断された状態において、前記第 1 または第 2 ヒューズ回路の設定情報に応じたモード設定を無効とし、前記外部入力によるモード設定信号に応じたモード設定を有効とするステップとを備えたことを特徴とする半導体装置の制御方法。

【請求項 9】 ヒューズ素子を切断することによりモードの設定情報を記憶するモード設定用の複数のヒューズ回路と、当該各ヒューズ回路の設定情報を無効化する無効化用のヒューズ回路とを備えた半導体装置の制御方法であって、

前記モード設定用の各ヒューズ回路におけるヒューズ素子が未切断である状態において、外部入力によるモード設定信号に応じたモード設定を有効とするステップと、

前記モード設定用の第 1 ヒューズ回路におけるヒューズ素子が切断された状態において、前記外部入力によるモード設定信号に応じたモード設定を無効とし、前記第 1 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定を有効とするステップと、

前記モード設定用の第 2 ヒューズ回路におけるヒューズ素子が切断された状態において、前記第 1 ヒューズ回路の設定情報に応じたモード設定を無効とし、前記第 2 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定を有効とするステップと、

前記モード設定用の第 3 ヒューズ回路におけるヒューズ素子が切断された状態

において、前記第 1 または第 2 ヒューズ回路の設定情報に応じたモード設定を無効とし、前記第 3 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定を有効とするステップと  
を備え、

前記第 2 ヒューズ回路の設定情報に応じたモード設定を有効とするステップもしくは第 3 ヒューズ回路の設定情報に応じたモード設定を有効とするステップにおいて、前記無効化用のヒューズ回路におけるヒューズ素子が切断されたとき、前記モード設定用の各ヒューズ回路のうちで有効とする設定情報を変更することを特徴とする半導体装置の制御方法。

【請求項 10】 前記モード設定の各ヒューズ回路は、前記設定情報を記憶するための複数の設定用ヒューズ素子と、前記複数の設定用ヒューズ素子が切断されているか否かを判定するための判定用ヒューズ素子と備え、前記モード設定用の各ヒューズ回路における判定用ヒューズ素子の切断状態に基づいて、各ヒューズ回路における設定情報の優先順位が設定されることを特徴とする請求項 8 又は 9 に記載の半導体装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のモードのうちの所定のモードを設定し、該設定モードに従い動作する半導体装置及びその制御方法に関するものである。

【0002】

近年、半導体装置では、同一バルクで複数の動作仕様（モード）をサポートするよう構成されている。具体的には、ヒューズ素子などの不可逆性素子によって所定の動作仕様を設定し、該設定モードに従い動作する半導体装置が実用化されている。同半導体装置は、ユーザの要望に応じてヒューズ素子を切断することでモード設定のための情報が記憶された後に出荷される。ヒューズ素子により記憶された情報は二度と消すことができない。そのため、ヒューズ素子により所定のモードに設定した製品は、別のモード設定を望むユーザに対して出荷することができず、製品在庫が発生する要因となっていた。このことから、ヒューズ素子に

より所定のモードに設定した後において、モードの再設定を可能とした半導体装置が望まれている。

#### 【0003】

##### 【従来の技術】

従来、DRAMにおいて、メモリセルの一部をリフレッシュするパーシャルリフレッシュモードや複数のパワーダウンモード（低消費電力モード）を有するものが実用化されている。

#### 【0004】

同DRAMでは、プログラム動作により外部端子を介してモード設定信号が入力され、該設定信号によりパーシャルリフレッシュの領域や、パワーダウンの方法などを設定するようにしている。図9には、プログラム動作によりモードの設定を行う従来のDRAMの概略構成を示している。

#### 【0005】

図9に示されるように、プログラムモード信号／PEを入力するための外部端子51及びアドレスコード（アドレス信号）Addを入力するための外部端子52がプログラム回路53に接続されている。プログラム回路53は、プログラムモード信号／PEの立ち上がり時にアドレスコードAddを取り込む。コードデコーダ54はそのアドレスコードAddに応じてリフレッシュする領域を決定し、領域選択信号をメイン回路55に出力する。メイン回路55は、データを記憶するためのメモリコア55a等を含み、同メイン回路55は、領域選択信号に基づいてメモリコア55aにおける所定領域を選択して該領域のリフレッシュを行う。

#### 【0006】

上記のように、プログラム動作による設定は、通常動作で使用する端子と異なる外部端子を用いる必要がある。そのため、上記DRAM51を使用するシステムでは、そのプログラム動作のための専用回路が必要となり回路構成が複雑となる。また、システムで用いるコントローラによっては、前記プログラム動作を制御できない場合がある。さらに、モード設定のためのプログラム動作は、通常動作とは異なる動作であり、領域変更を必要としない場合にも通常動作の前に実施

する必要があるので、該プログラム動作に基づく余分な処理時間がかかってしまう。

#### 【0007】

以上のような問題を回避するために、DRAM内にヒューズ回路を設け、同ヒューズ回路に記憶される情報によってモードを設定するようにした方法が知られている。

#### 【0008】

図10には、ヒューズ回路57の情報によりモード設定を行う従来のDRAMの概略構成を示している。同図に示されるように、ヒューズ回路57は複数のヒューズ素子57aを有し、各ヒューズ素子57aの切断状態に応じて記憶された設定情報がコードデコーダ54に入力される。コードデコーダ54はその設定情報に応じてリフレッシュする領域を決定し、領域選択信号をメイン回路55に出力する。この領域選択信号により、メモリコア55aの所定領域が選択され該領域のリフレッシュが行われる。

#### 【0009】

##### 【発明が解決しようとする課題】

ところが、図10のDRAMにおいて、ヒューズ回路57を用いて一度モードの設定をすると、その設定モードを変更することができない。そのため、特定のユーザの要求に応じてモードを固定した製品が余ってしまう場合、その製品を別のモードでの動作を必要とするユーザのために出荷することができず、不要な在庫を抱えてしまうといった問題が生じる。

#### 【0010】

本発明は上記問題点を解決するためになされたものであって、その目的は、ヒューズ回路を用いてモードの設定をした後において、モードの再設定を行うことができる半導体装置及びその制御方法を提供することにある。

#### 【0011】

##### 【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明によれば、モード設定用のヒューズ回路を複数備える。各ヒューズ回路には、モードを設定するための設定情

報が記憶され、該ヒューズ回路から設定情報とその記憶の有無を示す判定信号が出力される。ヒューズ情報選択回路にはモード設定用の各ヒューズ回路からの判定信号が入力され、ヒューズ情報選択回路において、判定信号に基づき設定される優先順位に応じてヒューズ回路の設定情報が選択的に出力される。この場合、所定のヒューズ回路の設定情報でモードを設定した後において、該ヒューズ回路よりも優先順位の高いモード設定用のヒューズ回路の設定情報によりモードの再設定が可能となる。また、無効化用のヒューズ回路から無効化信号が出力され、その無効化信号に基づいて、ヒューズ情報選択回路から出力される設定情報が無効とされる。これにより、初期状態のモードへの再設定が可能になる。

## 【 0 0 1 2 】

請求項 2 に記載の発明によれば、モード設定用のヒューズ回路を複数備える。各ヒューズ回路には、モードを設定するための設定情報が記憶され、該ヒューズ回路から設定情報とその記憶の有無を示す判定信号が出力される。優先順位設定回路において、各ヒューズ回路からの判定信号に基づいて、前記各ヒューズ回路の設定情報の優先順位を設定するための選択信号が出力される。ヒューズ情報選択回路において、優先順位設定回路からの選択信号に基づいて、前記優先順位に応じたヒューズ回路の設定情報が選択的に出力される。この場合、所定のヒューズ回路の設定情報でモードを設定した後において、該ヒューズ回路よりも優先順位の高いモード設定用のヒューズ回路の設定情報によりモードの再設定が可能となる。また、無効化用のヒューズ回路から設定情報を無効化するための無効化信号と優先順位を変更するための変更信号が出力される。この変更信号により前記ヒューズ情報選択回路から出力される設定情報が変更され、モードの再設定が可能となる。また、無効化信号によりヒューズ情報選択回路から出力される設定情報が無効とされる。これにより、初期状態のモードへの再設定が可能になる。

## 【 0 0 1 3 】

請求項 3 に記載の発明によれば、無効化信号に基づいて切り替え回路が制御されることで、モード設定用ヒューズ回路の設定情報に応じたモード設定が無効とされ、外部から入力されるモード設定信号に応じたモード設定が有効とされる。

## 【 0 0 1 4 】

請求項 4 に記載の発明によれば、モード設定用の各ヒューズ回路は、設定用ヒューズ素子と判定用ヒューズ素子を備える。設定用ヒューズ素子により、モードを設定するための設定情報が記憶される。また、判定用ヒューズ素子により、各ヒューズ回路に設定情報が記憶されているか否かを判定することが可能となる。

## 【 0 0 1 5 】

請求項 5 に記載の発明によれば、ヒューズ設定判定回路には、判定用ヒューズ素子の切断状態に応じてモード設定用の各ヒューズ回路から出力される判定信号と、無効化用のヒューズ回路から出力される無効化信号とが入力される。判定信号及び無効化信号に基づいてヒューズ設定判定回路から選択信号が出力される。この選択信号により切り替え回路が制御されることで、モード設定用ヒューズ回路の設定情報に応じたモード設定が無効とされ、外部から入力されるモード設定信号に応じたモード設定が有効とされる。

## 【 0 0 1 6 】

請求項 6 及び請求項 7 に記載の発明では、データを記憶するためのメモリアを備える半導体装置において、該メモリアについて部分的にリフレッシュを行うパーシャルリフレッシュが実施される。請求項 6 に記載の発明によれば、パーシャルリフレッシュの容量がモード設定用ヒューズ回路の設定情報により確定される。また、請求項 7 に記載の発明によれば、パーシャルリフレッシュにおけるアドレス領域がモード設定用ヒューズ回路の設定情報により確定される。

## 【 0 0 1 7 】

請求項 8 に記載の発明によれば、モード設定用の各ヒューズ回路におけるヒューズ素子が未切断である状態では、外部入力によるモード設定信号に応じたモード設定が有効とされる。そして、モード設定用の第 1 ヒューズ回路におけるヒューズ素子が切断された状態では、外部入力によるモード設定信号に応じたモード設定が無効とされ、第 1 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定が有効とされる。また、モード設定用の第 2 ヒューズ回路におけるヒューズ素子が切断された状態では、第 1 ヒューズ回路の設定情報に応じたモード設定が無効とされ、第 2 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定が有効とされる。さらに、無効化用のヒューズ回路のヒ

ューズ素子が切断された状態では、第 1 または第 2 ヒューズ回路の設定情報に応じたモード設定が無効とされ、外部入力によるモード設定信号に応じたモード設定が有効とされる。

【 0 0 1 8 】

請求項 9 に記載の発明によれば、モード設定用の各ヒューズ回路におけるヒューズ素子が未切断である状態では、外部入力によるモード設定信号に応じたモード設定が有効とされる。そして、モード設定用の第 1 ヒューズ回路におけるヒューズ素子が切断された状態では、外部入力によるモード設定信号に応じたモード設定が無効とされ、第 1 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定が有効とされる。また、モード設定用の第 2 ヒューズ回路におけるヒューズ素子が切断された状態では、第 1 ヒューズ回路の設定情報に応じたモード設定が無効とされ、第 2 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定が有効とされる。さらに、モード設定用の第 3 ヒューズ回路におけるヒューズ素子が切断された状態では、第 1 または第 2 ヒューズ回路の設定情報に応じたモード設定が無効とされ、第 3 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定が有効とされる。第 2 ヒューズ回路の設定情報に応じたモード設定を有効とするステップもしくは第 3 ヒューズ回路の設定情報に応じたモード設定を有効とするステップにおいて、無効化用のヒューズ回路におけるヒューズ素子が切断されたとき、モード設定用の各ヒューズ回路のうちで有効とする設定情報が変更される。

【 0 0 1 9 】

請求項 1 0 に記載の発明によれば、モード設定の各ヒューズ回路は、設定情報を記憶するための複数の設定用ヒューズ素子と、該複数の設定用ヒューズ素子が切断されているか否かを判定するための判定用ヒューズ素子とを備える。判定用ヒューズ素子の切断状態に基づいて、各ヒューズ回路における設定情報の優先順位が設定される。

【 0 0 2 0 】

【発明の実施の形態】

(第 1 実施形態)

以下、本発明を具体化した第 1 実施形態を図面に従って説明する。

【0021】

図 1 に示すように、半導体装置 10 は、コード入力回路 11、モード設定用の第 1 及び第 2 ヒューズ回路 12、13、情報無効化用のヒューズ回路 14、ヒューズ情報選択回路 15、ヒューズ設定判定回路 16、コード入力選択回路 17、デコード回路 18、メイン回路 19 を備える。

【0022】

コード入力回路 11 には外部端子 21 が接続されている。コード入力回路 11 は、図示しないコントローラのプログラム動作によって外部端子 21 から入力されるコードを読み取り、該コードをコード入力選択回路 17 に出力する。

【0023】

モード設定用の第 1 及び第 2 ヒューズ回路 12、13 は、ヒューズ素子の切断によってモードを設定するためのコード（ヒューズ情報）を記憶しており、該コードをヒューズ情報選択回路 15 に出力する。

【0024】

ヒューズ情報選択回路 15 は、各ヒューズ回路 12、13 のうち的一方を選択して、その選択したヒューズ回路のヒューズ情報をコード入力選択回路 17 に伝達する。具体的には、第 1 ヒューズ回路 12 のヒューズ素子が切断され、第 1 ヒューズ回路 12 にヒューズ情報が記憶された状態では、その第 1 ヒューズ回路 12 のヒューズ情報がヒューズ情報選択回路 15 を介してコード入力選択回路 17 に出力される。また、第 2 ヒューズ回路 13 のヒューズ素子が切断され、第 2 ヒューズ回路 13 にヒューズ情報が記憶された状態では、ヒューズ情報選択回路 15 において第 2 ヒューズ回路 13 のヒューズ情報が優先的に選択されてコード入力選択回路 17 に出力される。

【0025】

ヒューズ設定判定回路 16 は、第 1 及び第 2 ヒューズ回路 12、13 に記憶されたヒューズ情報を使用するか否かの判定を行う。すなわち、ヒューズ設定判定回路 16 は、第 1 及び第 2 ヒューズ回路 12、13 における複数のヒューズ素子のうちどのヒューズ素子も切断されていない場合、外部端子 21 から入力された

コードを使用するよう選択信号を出力する。また、ヒューズ設定判定回路 1 6 は、前記第 1 及び第 2 ヒューズ回路 1 2, 1 3 のいずれかのヒューズ素子が切断されている場合、ヒューズ回路 1 2, 1 3 のコードを使用するよう選択信号を出力する。さらに、ヒューズ設定判定回路 1 6 は、情報無効化用のヒューズ回路 1 4 のヒューズ素子が切断されていた場合、外部端子 2 1 から入力されたコードを使用するよう選択信号を出力する。

#### 【0 0 2 6】

切り替え回路としてのコード入力選択回路 1 7 は、ヒューズ設定判定回路 1 6 からの選択信号により、外部端子 2 1 から入力されたコードとモード設定用の第 1 または第 2 ヒューズ回路 1 2, 1 3 に記憶されたコードとのうちのいずれかを出力するよう制御される。

#### 【0 0 2 7】

デコード回路 1 8 は、コード入力選択回路 1 7 を介して入力されるコードに基づいて、モードの状態信号を生成してメイン回路 1 9 に出力する。メイン回路 1 9 は、該状態信号に応じたモードで動作する。

#### 【0 0 2 8】

図 2 は、本実施形態の具体的構成を示す回路図である。本実施形態の半導体装置 1 0 は、メモリセルの一部をリフレッシュするパーシャルリフレッシュ機能を備えた D R A M であり、例えば 6 4 M ビットの記憶容量を有する。D R A M 1 0 は、6 4 M ビットの記憶領域のうち 3 2 M ビット又は 1 6 M ビットをリフレッシュ領域として設定することができるよう構成されている。

#### 【0 0 2 9】

以下、D R A M 1 0 の構成について詳述する。図 2 に示すように、コード入力回路としてのプログラム回路 1 1 には、プログラムモード信号／P E を入力するためのプログラム専用端子 2 1 a と、アドレスコード A d d (アドレス信号 A 1 ～A 3) を入力するためのアドレス端子 2 1 b, 2 1 c, 2 1 d とが接続されている。なお、プログラムモード信号／P E は負論理の信号である。

#### 【0 0 3 0】

プログラム回路 1 1 では、外部コントローラの専用の処理サイクル（例えば、

モードレジスタのセットを行う処理サイクル) におけるプログラム動作によりプログラム専用端子 2 1 a から入力されるプログラムモード信号／P E に応答してアドレスコード A d d を取り込む。つまり、プログラム回路 1 1 は、図 3 に示すように、プログラムモード信号／P E の立ち下がりでアドレスコード A d d の入力を活性化し、同モード信号／P E の立ち上がりでアドレスコード A d d をラッチする。そして、プログラム回路 1 1 は、そのアドレスコード A d d を出力する。このアドレスコード A d d (アドレス信号 A 1 ～ A 3) によって、図 4 に示すようにリフレッシュ領域が設定される。

#### 【 0 0 3 1 】

すなわち、アドレス信号 A 1 = H、アドレス信号 A 2 = L、アドレス信号 A 3 = L である場合、3 2 M ビットの上位アドレスがリフレッシュ領域となる。また、アドレス信号 A 1 = L、アドレス信号 A 2 = H、アドレス信号 A 3 = L である場合、1 6 M ビットの上位アドレスがリフレッシュ領域となる。同様に、アドレス信号 A 1 = H、アドレス信号 A 2 = L、アドレス信号 A 3 = H である場合、3 2 M ビットの下位アドレスがリフレッシュ領域となり、アドレス信号 A 1 = L、アドレス信号 A 2 = H、アドレス信号 A 3 = H である場合、1 6 M ビットの下位アドレスがリフレッシュ領域となる。なお、「H」及び「L」は、各信号 A 1 ～ A 3 のレベルが論理ハイレベル及び論理ローレベルであることを示すものである。

#### 【 0 0 3 2 】

図 2 に示すように、第 1 及び第 2 ヒューズ回路 1 2, 1 3 は、判定用のヒューズ素子 F j とコード記憶用のヒューズ素子 F c 1 ～ F c 3 とを含む。各ヒューズ回路 1 2, 1 3 において、ヒューズ素子 F c 1 ～ F c 3 を切断することにより、リフレッシュ領域を設定するためのコード (ヒューズ情報) C d 1, C d 2 が記憶される。ヒューズ素子 F c 1 ～ F c 3 を切断してコードを記憶する場合、そのコード記憶とともに判定用のヒューズ素子 F j が切断される。つまり、ヒューズ素子 F j は各ヒューズ回路 1 2, 1 3 におけるコード記憶の有無を判定するために設けられている。

#### 【 0 0 3 3 】

第1ヒューズ回路12は、判定用のヒューズ素子F<sub>j</sub>の切断状態に応じた判定信号J<sub>1</sub>をヒューズ設定判定回路16に出力し、コード記憶用の各ヒューズ素子F<sub>c1</sub>～F<sub>c3</sub>の切断状態に応じたコードC<sub>d1</sub>をヒューズ情報選択回路15に出力する。第2ヒューズ回路13は、判定用のヒューズ素子F<sub>j</sub>の切断状態に応じた判定信号J<sub>2</sub>をヒューズ設定判定回路16に出力し、コード記憶用の各ヒューズ素子F<sub>c1</sub>～F<sub>c3</sub>の切断状態に応じたコードC<sub>d2</sub>をヒューズ情報選択回路15に出力する。各コードC<sub>d1</sub>、C<sub>d2</sub>は、ヒューズ素子F<sub>c1</sub>の切断状態に基づき出力される第1信号C<sub>1</sub>と、ヒューズ素子F<sub>c2</sub>の切断状態に基づき出力される第2信号C<sub>2</sub>と、ヒューズ素子F<sub>c3</sub>の切断状態に基づき出力される第3信号C<sub>3</sub>とからなる。各信号J<sub>1</sub>、J<sub>2</sub>、C<sub>1</sub>～C<sub>3</sub>は、ヒューズ素子F<sub>j</sub>、F<sub>c1</sub>～F<sub>c3</sub>が切断されていない場合にはLレベルであり、ヒューズ素子F<sub>j</sub>、F<sub>c1</sub>～F<sub>c3</sub>が切断されている場合にはHレベルである。

#### 【0034】

第1及び第2ヒューズ回路12、13に記憶されたコード（ヒューズ情報）C<sub>d1</sub>、C<sub>d2</sub>は、リフレッシュ領域を設定するための設定情報としての役割を果たす。

#### 【0035】

図5には、各ヒューズ素子F<sub>c1</sub>～F<sub>c3</sub>の切断状態に応じて設定されるリフレッシュ領域を示している。すなわち、ヒューズ素子F<sub>c1</sub>=切断、ヒューズ素子F<sub>c2</sub>=未切断、ヒューズ素子F<sub>c3</sub>=未切断である場合、32Mビットの上位アドレスがリフレッシュ領域となる。また、ヒューズ素子F<sub>c1</sub>=未切断、ヒューズ素子F<sub>c2</sub>=切断、ヒューズ素子F<sub>c3</sub>=未切断である場合、16Mビットの上位アドレスがリフレッシュ領域となる。同様に、ヒューズ素子F<sub>c1</sub>=切断、ヒューズ素子F<sub>c2</sub>=未切断、ヒューズ素子F<sub>c3</sub>=切断である場合、32Mビットの下位アドレスがリフレッシュ領域となる。また、ヒューズ素子F<sub>c1</sub>=未切断、ヒューズ素子F<sub>c2</sub>=切断、ヒューズ素子F<sub>c3</sub>=切断である場合、16Mビットの下位アドレスがリフレッシュ領域となる。

#### 【0036】

図2に示すように、無効化用のヒューズ回路14は、ヒューズ素子F<sub>i</sub>を備え

、該ヒューズ素子  $F_i$  の切断状態に応じた無効化信号  $I_g$  をヒューズ設定判定回路 16 に出力する。この無効化信号  $I_g$  は、ヒューズ素子  $F_i$  が切断されていない場合には L レベルであり、ヒューズ素子  $F_i$  が切断された場合には H レベルである。なお、ヒューズ回路 12, 13, 14 における各ヒューズ素子としては、レーザブローヒューズ、電氣的溶断ヒューズ、絶縁膜破壊型ヒューズ等の不可逆型記憶素子が用いられる。

#### 【0037】

ヒューズ設定判定回路 16 は、オア回路 23 とインバータ回路 24, 25, 26 とノア回路 27 とを備え、第 1 及び第 2 ヒューズ回路 12, 13 からの判定信号  $J_1$ ,  $J_2$  と無効化用のヒューズ回路 14 からの無効化信号  $I_g$  とに基づいて選択信号  $S$  を生成してコード入力選択回路 17 に出力する。

#### 【0038】

ヒューズ設定判定回路 16 において、オア回路 23 の第 1 入力端子には、第 1 ヒューズ回路 12 からの判定信号  $J_1$  が入力され、オア回路 23 の第 2 入力端子には、第 2 ヒューズ回路 13 からの判定信号  $J_2$  が入力される。オア回路 23 の出力信号は、インバータ回路 24 を介してノア回路 27 の第 1 入力端子に入力され、該ノア回路 27 の第 2 入力端子に無効化用ヒューズ回路 14 からの無効化信号  $I_g$  が入力される。ノア回路 27 の出力信号が直列接続されたインバータ回路 25, 26 を介して選択信号  $S$  として出力される。

#### 【0039】

ヒューズ情報選択回路 15 は、PMOS トランジスタと NMOS トランジスタとからなるトランスファークゲート  $TG_1$ ,  $TG_2$  を備える。トランスファークゲート  $TG_1$  の入力端子は第 1 ヒューズ回路 12 に接続され、トランスファークゲート  $TG_2$  の入力端子は第 2 ヒューズ回路 13 に接続されている。また、各トランスファークゲート  $TG_1$ ,  $TG_2$  の出力端子はコード入力選択回路 17 に接続されている。トランスファークゲート  $TG_1$  の PMOS トランジスタのゲートとトランスファークゲート  $TG_2$  の NMOS トランジスタのゲートは互いに接続され、それらゲートには、第 2 ヒューズ回路 13 からの判定信号  $J_2$  が入力される。トランスファークゲート  $TG_1$  の NMOS トランジスタのゲートとトランスファークゲート  $TG_2$  の PMOS トランジスタのゲートは互いに接続され、それらゲートには、第 1 ヒューズ回路 12 からの判定信号  $J_1$  が入力される。

G 2 の P M O S トランジスタのゲートは互いに接続され、それらゲートには、判定信号 J 2 がインバータ回路 2 8 を介して反転入力される。

## 【 0 0 4 0 】

ヒューズ情報選択回路 1 5 では、第 2 ヒューズ回路 1 3 から出力される判定信号 J 2 に応じてトランスファergeート T G 1 , T G 2 が相補的にオン・オフ制御される。判定信号 J 2 が L レベルである場合、トランスファergeート T G 1 がオンすることにより、第 1 ヒューズ回路 1 2 に記憶されているヒューズ情報 C d 1 がトランスファergeート T G 1 を介してコード入力選択回路 1 7 に伝達される。一方、判定信号 J 2 が H レベルである場合、トランスファergeート T G 2 がオンすることにより、第 2 ヒューズ回路 1 3 に記憶されているヒューズ情報 C d 2 がトランスファergeート T G 2 を介してコード入力選択回路 1 7 に伝達される。

## 【 0 0 4 1 】

このようにヒューズ情報選択回路 1 5 を構成することにより、第 1 及び第 2 ヒューズ回路 1 2 , 1 3 のヒューズ素子 F j が切断され各ヒューズ回路 1 2 , 1 3 にヒューズ情報が記憶されている場合には、第 2 ヒューズ回路 1 3 のヒューズ情報 C d 2 が優先的にコード入力選択回路 1 7 に伝達される。

## 【 0 0 4 2 】

コード入力選択回路 1 7 は、P M O S トランジスタと N M O S トランジスタとからなるトランスファergeート T G 1 1 , T G 1 2 を備える。トランスファergeート T G 1 1 の入力端子はプログラム回路 1 1 に接続され、トランスファergeート T G 1 2 の入力端子はヒューズ情報選択回路 1 5 に接続されている。また、各トランスファergeート T G 1 1 , T G 1 2 の出力端子はデコード回路 1 8 に接続されている。トランスファergeート T G 1 1 の P M O S トランジスタのゲートとトランスファergeート T G 1 2 の N M O S トランジスタのゲートは互いに接続され、それらゲートには、ヒューズ設定判定回路 1 6 からの選択信号 S が入力される。トランスファergeート T G 1 1 の N M O S トランジスタのゲートとトランスファergeート T G 1 2 の P M O S トランジスタのゲートは互いに接続され、それらゲートには、選択信号 S がインバータ回路 2 9 を介して反転入力される。

## 【 0 0 4 3 】

コード入力選択回路 1 7 では、ヒューズ設定判定回路 1 6 から出力される選択信号 S に応じてトランスファークゲート T G 1 1, T G 1 2 が相補的にオン・オフ制御される。選択信号 S が L レベルである場合、トランスファークゲート T G 1 1 がオンすることにより、プログラム回路 1 1 からのアドレスコード A d d が該トランスファークゲート T G 1 1 を介してデコード回路 1 8 に伝達される。一方、選択信号 S が H レベルである場合、トランスファークゲート T G 1 2 がオンすることにより、ヒューズ情報選択回路 1 5 からのコード C d 1 または C d 2 が該トランスファークゲート T G 1 2 を介してデコード回路 1 8 に伝達される。

#### 【 0 0 4 4 】

デコード回路 1 8 は、コード入力選択回路 1 7 からのコード（アドレスコード A d d またはコード C d 1, C d 2）に基づいてパーシャルリフレッシュのためのモードを判定し、該モードの状態信号を生成してメイン回路 1 9 に出力する。この状態信号は、リフレッシュ領域の設定信号であり、パーシャルリフレッシュの容量を 3 2 M ビット又は 1 6 M ビットに設定するための信号やパーシャルリフレッシュのアドレス領域を上位又は下位アドレスに設定するための信号を含む。

#### 【 0 0 4 5 】

メイン回路 1 9 は、メモリセル、ローデコーダ、コラムデコーダ、センスアンプからなるメモリコア 1 9 a 等を備える。メイン回路 1 9 は、デコード回路 1 8 からの状態信号に基づいて、メモリコア 1 9 a における所定領域のメモリセルをリフレッシュする。

#### 【 0 0 4 6 】

次に、本実施形態の D R A M 1 0 の作用を説明する。

まず、第 1 及び第 2 ヒューズ回路 1 2, 1 3 のいずれにもモード設定のためのコード（ヒューズ情報）が記憶されていない場合について説明する。この場合、判定用ヒューズ素子 F j と無効化用ヒューズ回路 1 4 のヒューズ素子 F i とがいずれも未切断となっている。従って、第 1 及び第 2 ヒューズ回路 1 2, 1 3 から出力される判定信号 J 1, J 2 は L レベルとなり、無効化用ヒューズ回路 1 4 から出力される無効化信号 I g は L レベルとなるため、ヒューズ設定判定回路 1 6 は L レベルの選択信号 S を出力する。その選択信号 S により、コード入力選択回

路 1 7 において、トランスファークゲート T G 1 1 がオンし、トランスファークゲート T G 1 2 がオフする。これにより、プログラム回路 1 1 とデコード回路 1 8 とがコード入力選択回路 1 7 のトランスファークゲート T G 1 1 を介して接続される。

#### 【 0 0 4 7 】

この状態で、図示しないコントローラのプログラム動作によって、図 3 のように、プログラムモード信号 / P E 及びアドレスコード A d d がプログラム回路 1 1 に入力される。そのアドレスコード A d d がプログラム回路 1 1 から出力され、該コード A d d がコード入力選択回路 1 7 を介してデコード回路 1 8 に入力される。デコード回路 1 8 において、入力されたアドレスコード A d d をもとにモードの状態信号が生成されて、メイン回路 1 9 において、その状態信号に応じた所定領域のメモリセルがリフレッシュされる。

#### 【 0 0 4 8 】

次に、第 1 及び第 2 ヒューズ回路 1 2 , 1 3 のうち第 1 ヒューズ回路 1 2 のみにヒューズ情報を記憶した場合について説明する。この場合、第 1 ヒューズ回路 1 2 の判定用ヒューズ素子 F j が切断され、第 2 ヒューズ回路 1 3 の判定用ヒューズ素子 F j と無効化用ヒューズ回路 1 4 のヒューズ素子 F i は切断されていない。従って、判定信号 J 1 は H レベルとなり、判定信号 J 2 及び無効化信号 I g は L レベルとなる。L レベルの判定信号 J 2 により、ヒューズ情報選択回路 1 5 において、トランスファークゲート T G 1 がオンし、トランスファークゲート T G 2 がオフする。これにより、第 1 ヒューズ回路 1 2 とコード入力選択回路 1 7 とがヒューズ情報選択回路 1 5 のトランスファークゲート T G 1 を介して接続される。

#### 【 0 0 4 9 】

またこの場合、ヒューズ設定判定回路 1 6 には H レベルの判定信号 J 1、L レベルの判定信号 J 2、L レベルの無効化信号 I g が入力されることにより、該ヒューズ設定判定回路 1 6 は H レベルの選択信号 S をコード入力選択回路 1 7 に出力する。そのため、コード入力選択回路 1 7 において、トランスファークゲート T G 1 1 がオフし、トランスファークゲート T G 1 2 がオンする。これにより、ヒューズ情報選択回路 1 5 とデコード回路 1 8 とがコード入力選択回路 1 7 のトラン

スファアゲートTG12を介して接続される。

【0050】

この状態では、第1ヒューズ回路12に記憶されているコードCd1がヒューズ情報選択回路15及びコード入力選択回路17を介してデコード回路18に入力される。デコード回路18において、入力コードCd1をもとにモードの状態信号が生成されて、メイン回路19において、その状態信号に応じた所定領域のメモリセルがリフレッシュされる。

【0051】

次に、第1ヒューズ回路12に加え、第2ヒューズ回路13にヒューズ情報を記憶した場合について説明する。この場合、第1及び第2ヒューズ回路12、13の判定用ヒューズ素子Fjが切断され、無効化用ヒューズ回路14のヒューズ素子Fiは切断されていない。従って、判定信号J1、J2はHレベルとなり、無効化信号IgはLレベルとなる。Hレベルの判定信号J2により、ヒューズ情報選択回路15において、トランスファアゲートTG1がオフし、トランスファアゲートTG2がオンする。これにより、第2ヒューズ回路13とコード入力選択回路18とがヒューズ情報選択回路15のトランスファアゲートTG2を介して接続される。

【0052】

またこの場合、ヒューズ設定判定回路16にはHレベルの判定信号J1、J2、Lレベルの無効化信号Igが入力されることにより、該ヒューズ設定判定回路16はHレベルの選択信号Sをコード入力選択回路17に出力する。そのため、コード入力選択回路17において、トランスファアゲートTG11がオフし、トランスファアゲートTG12がオンする。これにより、ヒューズ情報選択回路15とデコード回路18とがコード入力選択回路17のトランスファアゲートTG12を介して接続される。

【0053】

この状態では、第2ヒューズ回路13に記憶されているコードCd2がヒューズ情報選択回路15及びコード入力選択回路17を介してデコード回路18に入力される。デコード回路18において、入力コードCd2をもとにモードの状態

信号が生成されて、メイン回路 1 9 において、その状態信号に応じた所定領域のメモリセルがリフレッシュされる。

【 0 0 5 4 】

なお、第 1 及び第 2 ヒューズ回路 1 2, 1 3 のうち第 2 ヒューズ回路 1 3 のみにヒューズ情報を記憶した場合についても、上記と同様の動作になる。

次に、第 1 及び第 2 ヒューズ回路 1 2, 1 3 のヒューズ情報を無効化する場合について説明する。この場合、第 1 及び第 2 ヒューズ回路 1 2, 1 3 の判定用ヒューズ素子  $F_j$  が切断されており、さらに無効化用ヒューズ回路 1 4 のヒューズ素子  $F_i$  が切断される。従って、判定信号  $J_1$ ,  $J_2$  は H レベルとなり、無効化信号  $I_g$  も H レベルとなる。これら信号  $J_1$ ,  $J_2$ ,  $I_g$  がヒューズ設定判定回路 1 6 に入力されることにより、該ヒューズ設定判定回路 1 6 は L レベルの選択信号  $S$  を出力する。その選択信号  $S$  により、コード入力選択回路 1 7 において、トランスファークゲート  $TG_{11}$  がオンし、トランスファークゲート  $TG_{12}$  がオフする。これにより、プログラム回路 1 1 とデコード回路 1 8 とがコード入力選択回路 1 7 のトランスファークゲート  $TG_{11}$  を介して接続される。

【 0 0 5 5 】

この状態では、プログラム動作によりプログラム回路 1 1 にプログラムモード信号  $/PE$  及びアドレスコード  $Add$  が入力されることにより、コード入力選択回路 1 7 を介してデコード回路 1 8 にアドレスコード  $Add$  が入力される。デコード回路 1 8 において、入力されたアドレスコード  $Add$  をもとにモードの状態信号が生成されて、メイン回路 1 9 において、その状態信号に応じた所定領域のメモリセルがリフレッシュされる。

【 0 0 5 6 】

なお、第 1 ヒューズ回路 1 2 と第 2 ヒューズ回路 1 3 とのうちの一方のみにヒューズ情報が記憶されている状態で無効化用ヒューズ回路 1 4 のヒューズ素子  $F_i$  を切断した場合についても上記と同様の動作になる。

【 0 0 5 7 】

以上説明したように、本実施形態の DRAM 1 0 は、図 6 に示すステート 1 1 0 ～ステート 1 4 0 の状態を取る。すなわち、第 1 及び第 2 ヒューズ回路 1 2,

1 3 におけるヒューズ素子  $F_j$  が未切断である場合（各ヒューズ回路 1 2, 1 3 にヒューズ情報が記録されていない場合）、DRAM 1 0 はステート 1 1 0 にある。DRAM 1 0 がステート 1 1 0 にあるとき、プログラムモード信号 / P E、アドレスコード A d d をプログラム回路 1 1 に入力することによりリフレッシュ領域の設定が可能である。またこの状態では、第 1 及び第 2 ヒューズ回路 1 2, 1 3 における各ヒューズ素子  $F_j$ ,  $F_{c1} \sim F_{c3}$  を切断することによってモリフレッシュ領域の設定が可能である。

## 【 0 0 5 8 】

ここで、第 1 ヒューズ回路 1 2 において、ヒューズ情報を記憶すべくヒューズ素子  $F_{c1} \sim F_{c3}$  のいずれかが切断され、判定用のヒューズ素子  $F_j$  が切断された場合には、DRAM 1 0 はステート 1 1 0 からステート 1 2 0 に移行する。

## 【 0 0 5 9 】

DRAM 1 0 がステート 1 2 0 にあるときは、第 1 ヒューズ回路 1 2 におけるコード設定用のヒューズ素子  $F_{c1} \sim F_{c3}$  の切断状態（コード C d 1）に応じてリフレッシュ領域が設定される。またこの状態では、プログラムモード信号 / P E、アドレスコード A d d をプログラム回路 1 1 に入力することによるリフレッシュ領域の設定は不要である。

## 【 0 0 6 0 】

DRAM 1 0 がステート 1 1 0 またはステート 1 2 0 にあるとき、ヒューズ情報を記憶すべく第 2 ヒューズ回路 1 3 のヒューズ素子  $F_{c1} \sim F_{c3}$  のいずれかが切断され、判定用のヒューズ素子  $F_j$  が切断された場合には、DRAM 1 0 はステート 1 3 0 に移行する。

## 【 0 0 6 1 】

DRAM 1 0 がステート 1 3 0 にあるときは、第 2 ヒューズ回路 1 3 におけるヒューズ素子  $F_{c1} \sim F_{c3}$  の切断状態（コード C d 2）に応じてリフレッシュ領域が設定される。また状態では、プログラムモード信号 / P E、アドレスコード A d d をプログラム回路 1 1 に入力することによるリフレッシュ領域の設定は不要である。

## 【 0 0 6 2 】

DRAM10がステート120またはステート130にあるとき、無効化用のヒューズ回路14のヒューズ素子Fiが切断された場合には、DRAM10はステート140に移行する。DRAM10がステート140にあるときは、プログラムモード信号／PE、アドレスコードAddをプログラム回路11に入力することによりリフレッシュ領域の設定が可能である。またこの状態では、第1及び第2ヒューズ回路12, 13のヒューズ情報によるリフレッシュ領域の設定は不可能になる。

## 【0063】

以上記述したように、上記実施形態によれば、下記の効果を奏する。

(1) DRAM10は、第1及び第2ヒューズ回路12, 13を備える。これにより、各ヒューズ回路12, 13のヒューズ情報Cd1, Cd2によるモード設定（リフレッシュ領域の設定）を2回行うことができる。つまり、DRAM10は、第1ヒューズ回路12のヒューズ情報Cd1によりモードの設定をした後において、第2ヒューズ回路13のヒューズ素子Fj, Fc1～Fc3を切断することにより、ヒューズ情報Cd2に応じたモードの再設定をすることができる。

## 【0064】

(2) 第1または第2ヒューズ回路12, 13のヒューズ情報Cd1, Cd2によりモードが設定されている状態で、無効化用ヒューズ回路14のヒューズ素子Fiを切断すれば、ヒューズ情報Cd1, cd2によるモードの設定を解除することができる。またこの状態では、プログラムモード信号／PE、アドレスコードAddを入力することにより、所望のリフレッシュ領域を設定することができる。このようにすれば、例えば、第2ヒューズ回路13のヒューズ素子Fj, Fc1～Fc3を切断して出荷したDRAM10において動作異常が発生した場合、ヒューズ素子Fiを切断しヒューズ情報Cd2に応じた設定モードを解除することで、動作異常の原因解析を容易にすることができる。

## 【0065】

(3) 第1ヒューズ回路12のヒューズ情報Cd1によりモードの設定をした後において、第2ヒューズ回路13のヒューズ情報Cd2により、モードの再設

定をすることができることから、従来のように、不要な製品在庫を抱えてしまうといった問題が解消される。

【 0 0 6 6 】

(第 2 実施形態)

次に、本発明を具体化した第 2 実施形態について図 7 を用いて説明する。図 7 において、第 1 実施形態と同様の構成については同一の符号を付し、以下には第 1 実施形態との相違点を中心に説明する。

【 0 0 6 7 】

すなわち、本実施形態の D R A M 3 0 には、モード設定用の第 3 ヒューズ回路 3 1 及び優先順位設定回路 3 2 が追加されている。また、無効化用のヒューズ回路 1 4 a、ヒューズ情報選択回路 1 5 a、ヒューズ設定判定回路 1 6 a の構成が第 1 実施形態と異なる。なお、図示を省略しているが、D R A M 3 0 は、上記第 1 実施形態の D R A M 1 0 と同様に、デコード回路 1 8 と、メイン回路 1 9 とを備えている。

【 0 0 6 8 】

詳述すると、第 3 ヒューズ回路 3 1 は、第 1 及び第 2 ヒューズ回路 1 2, 1 3 と同様に、判定用のヒューズ素子 F j とコード記憶用のヒューズ素子 F c 1 ~ F c 3 とを含む。第 3 ヒューズ回路 3 1 において、ヒューズ素子 F c 1 ~ F c 3 を切断することにより、リフレッシュ領域を設定するためのコード（ヒューズ情報）C d 3 が記憶される。また、第 3 ヒューズ回路 3 1 は、判定用のヒューズ素子 F j の切断状態に応じた判定信号 J 3 をヒューズ設定判定回路 1 6 a に出力し、コード記憶用の各ヒューズ素子 F c 1 ~ F c 3 の切断状態に応じたコード C d 3 をヒューズ情報選択回路 1 5 a に出力する。

【 0 0 6 9 】

無効化用のヒューズ回路 1 4 a は、ヒューズ素子 F i に加えて、リターン用の第 1 及び第 2 ヒューズ素子 F r 1, F r 2 を備える。各ヒューズ素子 F r 1, F r 2 の切断状態により、ヒューズ回路 1 2, 1 3, 3 1 のヒューズ情報 C d 1, C d 2, C d 3 の優先順位が変更される。詳しくは、ヒューズ回路 1 4 a は、ヒューズ素子 F i の切断状態に応じた無効化信号 I g をヒューズ設定判定回路 1 6

aに出力し、第1及び第2ヒューズ素子F r 1, F r 2の切断状態に応じた第1及び第2リターン信号R 1, R 2を優先順位設定回路3 2に出力する。リターン信号R 1, R 2は、ヒューズ素子F r 1, F r 2が切断されていない場合にはLレベルであり、ヒューズ素子F r 1, F r 2が切断された場合にはHレベルである。

#### 【0 0 7 0】

優先順位設定回路3 2は、ナンド回路3 4, 3 5, 3 6, 3 7、インバータ回路3 8, 3 9, 4 0, 4 1, 4 2, 4 3, 4 4、ノア回路4 5とを備え、前記判定信号J 1～J 3及びリターン信号R 1, R 2に基づいて選択信号S 1～S 3を生成してヒューズ情報選択回路1 5 aに出力する。

#### 【0 0 7 1】

詳しくは、優先順位設定回路3 2において、第1ヒューズ回路1 2からの判定信号J 1はナンド回路3 4の第1入力端子に入力され、第2ヒューズ回路1 3からの判定信号J 2はナンド回路3 5の第1入力端子に入力される。また、第3ヒューズ回路3 1からの判定信号J 3はナンド回路3 6の第1入力端子に入力される。無効化用ヒューズ回路1 4 aからの第1リターン信号R 1は、インバータ回路3 8を介してナンド回路3 5の第2入力端子に入力されるとともにノア回路4 5の第1入力端子に入力される。無効化用ヒューズ回路1 4 aからの第2リターン信号R 2はノア回路4 5の第2入力端子に入力され、該ノア回路4 5の出力信号はナンド回路3 6の第2入力端子に入力される。

#### 【0 0 7 2】

ナンド回路3 5の出力信号は、インバータ回路3 9, 4 0を介してナンド回路3 4の第2入力端子に入力され、ナンド回路3 6の出力信号は、インバータ回路4 1, 4 2を介してナンド回路3 4の第3入力端子に入力される。また、ナンド回路3 5の出力信号は、インバータ回路3 9を介してナンド回路3 7の第1入力端子に入力され、ナンド回路3 6の出力信号は、インバータ回路4 1, 4 3を介してナンド回路3 7の第2入力端子に入力される。そして、ナンド回路3 4から選択信号S 1が出力され、ナンド回路3 7から選択信号S 2が出力される。さらに、ナンド回路3 6の出力信号がインバータ回路4 1, 4 4を介して選択信号S

3として出力される。

【0073】

ヒューズ情報選択回路15aは、PMOSトランジスタとNMOSトランジスタとからなるトランスファークゲートTG1、TG2、TG3とインバータ回路46、47、48とを備える。トランスファークゲートTG1の入力端子は第1ヒューズ回路12に接続され、トランスファークゲートTG2の入力端子は第2ヒューズ回路13に接続され、トランスファークゲートTG3の入力端子は第3ヒューズ回路31に接続されている。また、各トランスファークゲートTG1、TG2、TG3の出力端子はコード入力選択回路17に接続されている。

【0074】

トランスファークゲートTG1において、PMOSトランジスタのゲートには優先順位設定回路32からの選択信号S1が入力され、NMOSトランジスタのゲートには選択信号S1がインバータ回路46を介して反転入力される。トランスファークゲートTG2において、PMOSトランジスタのゲートには選択信号S2が入力され、NMOSトランジスタのゲートには選択信号S2がインバータ回路47を介して反転入力される。トランスファークゲートTG3において、PMOSトランジスタのゲートには選択信号S3が入力され、NMOSトランジスタのゲートには選択信号S3がインバータ回路48を介して反転入力される。

【0075】

ヒューズ情報選択回路15aは、優先順位設定回路32からの選択信号S1～S3に基づいて、トランスファークゲートTG1、TG2、TG3のうちのいずれか1つが選択的にオンするよう制御される。ここで、選択信号S1がLレベル、選択信号S2、S3がHレベルである場合に、トランスファークゲートTG1のみがオンすることにより、第1ヒューズ回路12に記憶されているヒューズ情報Cd1がトランスファークゲートTG1を介してコード入力選択回路17に伝達される。また、選択信号S2がLレベル、選択信号S1、S3がHレベルである場合に、トランスファークゲートTG2のみがオンすることにより、第2ヒューズ回路13に記憶されているヒューズ情報Cd2がトランスファークゲートTG2を介してコード入力選択回路17に伝達される。さらに、選択信号S3がLレベル、選

択信号 S 1, S 2 が H レベルである場合に、トランスファークゲート T G 3 のみがオンすることにより、第 3 ヒューズ回路 3 1 に記憶されているヒューズ情報 C d 3 がトランスファークゲート T G 3 を介してコード入力選択回路 1 7 に伝達される。

#### 【 0 0 7 6 】

ヒューズ設定判定回路 1 6 a は、オア回路 2 3 a とインバータ回路 2 4, 2 5, 2 6 とノア回路 2 7 とを備える。つまり、上記第 1 実施形態のヒューズ設定判定回路 1 6 においては 2 つの信号 J 1, J 2 を入力とする 2 入力のオア回路 2 3 を備えていたが、ヒューズ設定判定回路 1 6 a は、そのオア回路 2 3 に代えて 3 つの信号 J 1, J 2, J 3 を入力とする 3 入力のオア回路 2 3 a を備えている。ヒューズ設定判定回路 1 6 a は、第 1 ～第 3 ヒューズ回路 1 2, 1 3, 3 1 からの判定信号 J 1, J 2, J 3 と無効化用のヒューズ回路 1 4 からの無効化信号 I g とに基づいて選択信号 S を生成してコード入力選択回路 1 7 に出力する。

#### 【 0 0 7 7 】

次に、本実施形態の D R A M 3 0 の状態遷移を図 8 に従って説明する。

D R A M 3 0 は、ステート 2 1 0 ～ 2 5 0 の状態を取る。第 1 ～第 3 ヒューズ回路 1 2, 1 3, 3 1 の判定用ヒューズ素子 F j と無効化用ヒューズ回路 1 4 のヒューズ素子 F i とがいずれも未切断である場合（各ヒューズ回路 1 2, 1 3, 3 1 にヒューズ情報が記録されていない場合）、D R A M 3 0 はステート 2 1 0 にある。この場合、判定信号 J 1 ～ J 3、無効化信号 I g、リターン信号 R 1, R 2 が全て L レベルである。このとき、ヒューズ設定判定回路 1 6 a は L レベルの選択信号 S を出力するため、コード入力選択回路 1 7 において、トランスファークゲート T G 1 1 がオンし、トランスファークゲート T G 1 2 がオフする。これにより、プログラム回路 1 1 とデコード回路 1 8 とがコード入力選択回路 1 7 のトランスファークゲート T G 1 1 を介して接続される。

#### 【 0 0 7 8 】

従って、D R A M 3 0 がステート 2 1 0 にあるとき、プログラムモード信号 / P E 及びアドレスコード A d d をプログラム回路 1 1 に入力することによりリフレッシュ領域の設定が可能となる。

## 【 0 0 7 9 】

ここで、第1ヒューズ回路12において、ヒューズ情報を記憶すべくヒューズ素子F c 1 ~ F c 3 のいずれかが切断され、判定用のヒューズ素子F j が切断された場合には、DRAM30はステート210からステート220に移行する。

## 【 0 0 8 0 】

DRAM30がステート220にあるときは、判定信号J1はHレベルであり、判定信号J2, J3、無効化信号I g、リターン信号R1, R2はLレベルである。この場合、優先順位設定回路32は、Lレベルの選択信号S1を出力し、Hレベルの選択信号S2, S3を出力する。また、ヒューズ設定判定回路16aは、Hレベルの選択信号Sを出力する。これら選択信号により、ヒューズ情報選択回路15aにおいてトランスファークゲートTG1がオンし、コード入力選択回路17においてトランスファークゲートTG12がオンする。

## 【 0 0 8 1 】

従って、DRAM30がステート220にあるとき、第1ヒューズ回路12のヒューズ情報C d 1 がヒューズ情報選択回路15a及びコード入力選択回路17を介してデコード回路18に入力されることにより、該ヒューズ情報C d 1 に応じたリフレッシュ領域が設定される。

## 【 0 0 8 2 】

DRAM30がステート210またはステート220にあるとき、第2ヒューズ回路13において、ヒューズ情報を記憶すべくヒューズ素子F c 1 ~ F c 3 のいずれかが切断され、判定用のヒューズ素子F j が切断された場合には、DRAM30はステート230に移行する。

## 【 0 0 8 3 】

DRAM30がステート230にあるときは、判定信号J2はHレベルであり、判定信号J3、無効化信号I g、リターン信号R1, R2はLレベルである。この場合、優先順位設定回路32は、Lレベルの選択信号S2を出力し、Hレベルの選択信号S1, S3を出力する。また、ヒューズ設定判定回路16aは、Hレベルの選択信号Sを出力する。これら選択信号により、ヒューズ情報選択回路15aにおいてトランスファークゲートTG2がオンし、コード入力選択回路17

においてトランスファークゲート T G 1 2 がオンする。

【 0 0 8 4 】

従って、D R A M 3 0 がステート 2 3 0 にあるとき、第 2 ヒューズ回路 1 3 のヒューズ情報 C d 2 がヒューズ情報選択回路 1 5 a 及びコード入力選択回路 1 7 を介してデコード回路 1 8 に入力されることにより、該ヒューズ情報 C d 2 に応じたりフレッシュ領域が設定される。

【 0 0 8 5 】

D R A M 3 0 がステート 2 1 0 ～ 2 3 0 のいずれかの状態にあるとき、第 3 ヒューズ回路 3 1 において、ヒューズ情報を記憶すべくヒューズ素子 F c 1 ～ F c 3 のいずれかが切断され、判定用のヒューズ素子 F j が切断された場合には、D R A M 3 0 はステート 2 4 0 に移行する。

【 0 0 8 6 】

D R A M 3 0 がステート 2 4 0 にあるときは、判定信号 J 3 は H レベルであり、無効化信号 I g、リターン信号 R 1、R 2 は L レベルである。この場合、優先順位設定回路 3 2 は、L レベルの選択信号 S 3 を出力し、H レベルの選択信号 S 1、S 2 を出力する。また、ヒューズ設定判定回路 1 6 a は、H レベルの選択信号 S を出力する。これら判定信号により、ヒューズ情報選択回路 1 5 a においてトランスファークゲート T G 3 がオンし、コード入力選択回路 1 7 においてトランスファークゲート T G 1 2 がオンする。

【 0 0 8 7 】

従って、D R A M 3 0 がステート 2 4 0 にあるとき、第 3 ヒューズ回路 3 1 のヒューズ情報 C d 3 がヒューズ情報選択回路 1 5 a 及びコード入力選択回路 1 7 を介してデコード回路 1 8 に入力されることにより、該ヒューズ情報 C d 3 に応じたりフレッシュ領域が設定される。

【 0 0 8 8 】

また、D R A M 3 0 がステート 2 4 0 にあるとき、無効化用のヒューズ回路 1 4 a における第 2 ヒューズ素子 F r 2 が切断された場合、D R A M 3 0 はステート 2 3 0 に戻る。この場合、優先順位設定回路 3 2 は、H レベルの第 2 リターン信号 R 2 が入力されることにより、L レベルの選択信号 S 2 を出力し、H レベル

の選択信号 S 1, S 3 を出力する。これにより、ヒューズ情報選択回路 1 5 a においてトランスファークゲート T G 2 がオンするため、第 2 ヒューズ回路 1 3 のヒューズ情報 C d 2 に応じたリフレッシュ領域が設定される。

【 0 0 8 9 】

さらに、D R A M 3 0 がステート 2 4 0 または 2 3 0 にあるとき、無効化用のヒューズ回路 1 4 a における第 1 ヒューズ素子 F r 1 が切断された場合、D R A M 3 0 はステート 2 2 0 に戻る。この場合、優先順位設定回路 3 2 は、H レベルの第 1 リターン信号 R 1 が入力されることにより、L レベルの選択信号 S 1 を出力し、H レベルの選択信号 S 2, S 3 を出力する。これにより、ヒューズ情報選択回路 1 5 a においてトランスファークゲート T G 1 がオンするため、第 1 ヒューズ回路 1 2 のヒューズ情報 C d 1 に応じたリフレッシュ領域が設定される。

【 0 0 9 0 】

D R A M 3 0 がステート 2 2 0 ~ 2 4 0 のいずれかにあるとき、無効化用ヒューズ回路 1 4 のヒューズ素子 F i が切断された場合には、D R A M 3 0 はステート 2 5 0 に移行する。D R A M 3 0 がステート 2 5 0 にあるときは、ヒューズ設定判定回路 1 6 は L レベルの選択信号 S を出力するため、コード入力選択回路 1 7 において、トランスファークゲート T G 1 1 がオンし、トランスファークゲート T G 1 2 がオフする。これにより、プログラム回路 1 1 とデコード回路 1 8 とがコード入力選択回路 1 7 のトランスファークゲート T G 1 1 を介して接続される。従って、プログラムモード信号 / P E、アドレスコード A d d をプログラム回路 1 1 に入力することによりリフレッシュ領域の設定が可能となる。またステート 2 5 0 では、第 1 ~ 第 3 ヒューズ回路 1 2, 1 3, 3 1 のヒューズ情報 C d 1, C d 2, C d 3 によるリフレッシュ領域の設定は不可能となる。

【 0 0 9 1 】

以上記述したように、上記実施形態によれば、下記の効果を奏する。

( 1 ) D R A M 3 0 は、第 1 ~ 第 3 ヒューズ回路 1 2, 1 3, 3 1 を備え、ヒューズ情報 C d 1, C d 2, C d 3 によるモード設定（リフレッシュ領域の設定）を 3 回行うことができる。具体的に、D R A M 3 0 において、各ヒューズ回路 1 2, 1 3, 3 1 のヒューズ情報 C d 1, C d 2, C d 3 は、 $C d 1 < C d 2 <$

C d 3 の順に優先順位が設定されている。そのため、D R A M 3 0 は、第 1 ヒューズ回路 1 2 のヒューズ情報によりモードの設定をした後において、第 2 ヒューズ回路 1 3 のヒューズ素子 F j , F c 1 ~ F c 3 を切断することにより、ヒューズ情報 C d 2 に応じたモードの再設定をすることができる。さらに、D R A M 3 0 は、第 3 ヒューズ回路 3 1 のヒューズ素子 F j , F c 1 ~ F c 3 を切断することにより、ヒューズ情報 C d 3 に応じたモードの再設定をすることができる。

【 0 0 9 2 】

( 2 ) 無効化用のヒューズ回路 1 4 におけるリターン用のヒューズ素子 F r 1 , F r 2 を切断することにより、各ヒューズ回路 1 2 , 1 3 , 3 1 のヒューズ情報の優先順位が変更される。具体的には、第 3 ヒューズ回路 3 1 のヒューズ情報 C d 3 に応じたモードが設定されている状態にて、ヒューズ素子 F r 2 を切断することにより、第 2 ヒューズ回路 1 3 のヒューズ情報 C d 2 に応じたモードに戻ることができる。さらに、第 2 又は第 3 ヒューズ回路 1 3 , 3 1 のヒューズ情報 C d 2 , C d 3 に応じたモードが設定されている状態にて、ヒューズ素子 F r 1 を切断することにより、第 1 ヒューズ回路 1 2 のヒューズ情報 C d 1 に応じたモードに戻ることができる。

【 0 0 9 3 】

( 3 ) 第 1 ~ 第 3 ヒューズ回路 1 2 , 1 3 , 3 1 のいずれかのヒューズ情報によりモードが設定されている状態で、無効化用ヒューズ回路 1 4 a のヒューズ素子 F i を切断すれば、ヒューズ情報によるモードの設定を解除することができる。またこの状態では、プログラムモード信号 / P E 、アドレスコード A d d を入力することにより、所望のリフレッシュ領域を設定することができる。

【 0 0 9 4 】

上記各実施の形態は、次に示すように変更することもできる。

上記各実施形態では、データを記憶するためのメモリコア 1 9 a を備えた D R A M 1 0 , 3 0 に具体化した但、これに限定されるものではなく、メモリコア 1 9 a を備えない半導体装置に適用してもよい。つまり、複数種類の動作仕様（モード）を備え、ヒューズ回路に記憶したヒューズ情報でそのモードを設定する半導体装置に具体化するものであればよい。

【 0 0 9 5 】

・第 1 実施形態の D R A M 1 0 ではモード設定用の第 1 及び第 2 ヒューズ回路 1 2, 1 3 を備え、第 2 実施形態の D R A M 3 0 ではモード設定用の第 1 ～第 3 ヒューズ回路 1 2, 1 3, 3 1 を備えるものであったが、これに限定されるものではなく、モード設定用ヒューズ回路の個数を 4 個以上にしてもよい。

【 0 0 9 6 】

また、各ヒューズ回路 1 2, 1 3, 3 1 におけるコード記憶用のヒューズ素子 F c 1 ～ F c 3 の個数は、設定モードの数に応じて適宜変更することができる。

さらに、各ヒューズ回路 1 2, 1 3, 3 1 は、コード記憶用のヒューズ素子 F c 1 ～ F c 3 に加えて判定用のヒューズ素子 F j を備えるものであったが、これに限定されるものではなく、判定用のヒューズ素子 F j を省略してもよい。なおこの場合には、ヒューズ素子 F c 1 ～ F c 3 の切断状態に応じて判定信号 J 1, J 2, J 3 を出力するよう構成する。

【 0 0 9 7 】

・上記各実施形態では、無効化用ヒューズ素子 F i が切断された場合、外部から入力されるプログラムモード信号 / P E 及びアドレスコード A d d によりリフレッシュ領域の再設定を行うようにしたが、これに限定されるものではない。例えば、無効化用ヒューズ素子 F i が切断された場合、初期状態として予め決められている所定のモードに戻るよう構成してもよい。

【 0 0 9 8 】

以上の様々な実施の形態をまとめると、以下のようになる。

(付記 1) 複数のモードを有し、各モードに従い動作する半導体装置において、

前記モードを設定する設定情報を記憶するための回路であって、該設定情報とその記憶の有無を示す判定信号とを出力するモード設定用の複数のヒューズ回路と、

前記複数のヒューズ回路からの判定信号に基づき設定される優先順位に応じたヒューズ回路の設定情報を選択的に出力するヒューズ情報選択回路と、

前記設定情報を無効化するための無効化信号を出力する無効化用のヒューズ回路と

を備え、前記無効化信号に基づいて、前記ヒューズ情報選択回路から出力される設定情報を無効とするようにしたことを特徴とする半導体装置。

（付記 2）複数のモードを有し、各モードに従い動作する半導体装置において、  
前記モードを設定する設定情報を記憶するための回路であって、該設定情報とその記憶の有無を示す判定信号とを出力するモード設定用の複数のヒューズ回路と、

前記複数のヒューズ回路からの判定信号に基づいて、前記各ヒューズ回路の設定情報の優先順位を設定するための選択信号を出力する優先順位設定回路と、

前記優先順位設定回路からの選択信号に基づいて、前記優先順位に応じたヒューズ回路の設定情報を選択的に出力するヒューズ情報選択回路と、

前記設定情報を無効化するための無効化信号と、前記優先順位を変更するための変更信号とを出力する無効化用のヒューズ回路と

を備え、前記変更信号に基づいて、前記ヒューズ情報選択回路から出力される設定情報を変更し、前記無効化信号に基づいて、前記ヒューズ情報選択回路から出力される設定情報を無効とするようにしたことを特徴とする半導体装置。

（付記 3）前記無効化信号に基づいて、前記設定情報に応じたモード設定を無効とし、外部から入力されるモード設定信号に応じたモード設定を有効とするよう制御される切り替え回路と

を備えたことを特徴とする付記 1 又は 2 に記載の半導体装置。

（付記 4）前記モード設定用の各ヒューズ回路は、前記設定情報を記憶するための設定用ヒューズ素子と、前記設定用ヒューズ素子が切断されているか否かを判定するための判定用ヒューズ素子とを備えることを特徴とする付記 1 又は 2 に記載の半導体装置。

（付記 5）前記判定用ヒューズ素子の切断状態に応じて前記モード設定用の各ヒューズ回路から出力される判定信号と、前記無効化用のヒューズ回路から出力される無効化信号とが入力され、前記判定信号及び無効化信号に基づいて選択信号を出力するヒューズ設定判定回路と、

前記ヒューズ設定判定回路からの選択信号により、前記設定情報に応じたモード設定を無効とし、外部から入力されるモード設定信号に応じたモード設定を有

効とするよう制御される切り替え回路とを備えることを特徴とする付記 4 に記載の半導体装置。

(付記 6) データを記憶するためのメモリアを備え、該メモリアについて部分的にリフレッシュを行うパーシャルリフレッシュを実施するものであり、

前記設定情報は、パーシャルリフレッシュにおける容量を確定する情報を含むことを特徴とする付記 1 又は 2 に記載の半導体装置。

(付記 7) データを記憶するためのメモリアを備え、該メモリアについて部分的にリフレッシュを行うパーシャルリフレッシュを実施するものであり、

前記設定情報は、パーシャルリフレッシュにおけるアドレス領域を確定する情報を含むことを特徴とする付記 1 又は 2 に記載の半導体装置。

(付記 8) 前記無効化用のヒューズ回路は、無効化用ヒューズ素子と、変更用ヒューズ素子とを備え、前記無効化用ヒューズ素子の切断状態に応じて前記無効化信号を出力し、前記変更用ヒューズ素子の切断状態に応じて前記変更信号を出力することを特徴とする付記 2 に記載の半導体装置。

(付記 9) 前記モード設定用の各ヒューズ回路は、それぞれ同じ個数のヒューズ素子を備えることを特徴とする付記 1 または 2 に記載の半導体装置。

(付記 10) 前記モード設定用の各ヒューズ回路におけるヒューズ素子の個数は、無効化用のヒューズ回路におけるヒューズ素子よりも多いことを特徴とする付記 1 または 2 に記載の半導体装置。

(付記 11) 前記外部から入力されるモード設定信号は、専用の処理サイクルでのプログラム動作により生成されることを特徴とする付記 3 に記載の半導体装置。

(付記 12) ヒューズ素子を切断することによりモードの設定情報を記憶するモード設定用の複数のヒューズ回路と、当該各ヒューズ回路の設定情報を無効化する無効化用のヒューズ回路とを備えた半導体装置の制御方法であって、

前記モード設定用の各ヒューズ回路におけるヒューズ素子が未切断である状態において、外部入力によるモード設定信号に応じたモード設定を有効とするステップと、

前記モード設定用の第 1 ヒューズ回路におけるヒューズ素子が切断された状態

において、前記外部入力によるモード設定信号に応じたモード設定を無効とし、前記第 1 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定を有効とするステップと、

前記モード設定用の第 2 ヒューズ回路におけるヒューズ素子が切断された状態において、前記第 1 ヒューズ回路の設定情報に応じたモード設定を無効とし、前記第 2 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定を有効とするステップと、

前記無効化用のヒューズ回路におけるヒューズ素子が切断された状態において、前記第 1 または第 2 ヒューズ回路の設定情報に応じたモード設定を無効とし、前記外部入力によるモード設定信号に応じたモード設定を有効とするステップとを備えたことを特徴とする半導体装置の制御方法。

（付記 1 3）ヒューズ素子を切断することによりモードの設定情報を記憶するモード設定用の複数のヒューズ回路と、当該各ヒューズ回路の設定情報を無効化する無効化用のヒューズ回路とを備えた半導体装置の制御方法であって、

前記モード設定用の各ヒューズ回路におけるヒューズ素子が未切断である状態において、外部入力によるモード設定信号に応じたモード設定を有効とするステップと、

前記モード設定用の第 1 ヒューズ回路におけるヒューズ素子が切断された状態において、前記外部入力によるモード設定信号に応じたモード設定を無効とし、前記第 1 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定を有効とするステップと、

前記モード設定用の第 2 ヒューズ回路におけるヒューズ素子が切断された状態において、前記第 1 ヒューズ回路の設定情報に応じたモード設定を無効とし、前記第 2 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定を有効とするステップと、

前記モード設定用の第 3 ヒューズ回路におけるヒューズ素子が切断された状態において、前記第 1 または第 2 ヒューズ回路の設定情報に応じたモード設定を無効とし、前記第 3 ヒューズ回路でのヒューズ素子の切断による設定情報に応じたモード設定を有効とするステップと

を備え、

前記第 2 ヒューズ回路の設定情報に応じたモード設定を有効とするステップもしくは第 3 ヒューズ回路の設定情報に応じたモード設定を有効とするステップにおいて、前記無効化用のヒューズ回路におけるヒューズ素子が切断されたとき、前記モード設定用の各ヒューズ回路のうちで有効とする設定情報を変更することを特徴とする半導体装置の制御方法。

（付記 1 4）前記モード設定の各ヒューズ回路は、前記設定情報を記憶するための複数の設定用ヒューズ素子と、前記複数の設定用ヒューズ素子が切断されているか否かを判定するための判定用ヒューズ素子と備え、前記モード設定用の各ヒューズ回路における判定用ヒューズ素子の切断状態に基づいて、各ヒューズ回路における設定情報の優先順位を確定するようにしたことを特徴とする付記 1 2 又は 1 3 に記載の半導体装置の制御方法。

（付記 1 5）前記無効化用のヒューズ回路は、前記優先順位の変更をするためのヒューズ素子を備え、該ヒューズ素子が切断された場合に前記優先順位を変更することを特徴とする付記 1 4 に記載の半導体装置の制御方法。

（付記 1 6）前記無効化用のヒューズ回路は、前記優先順位の変更をするためのヒューズ素子に加えて、前記設定情報を無効化するためのヒューズ素子を含み、該無効化するためのヒューズ素子が切断された場合に前記各ヒューズ回路の設定情報に応じたモード設定を無効とし、前記外部入力によるモード設定信号に応じたモード設定を有効とすることを特徴とする付記 1 5 に記載の半導体装置の制御方法。

【 0 0 9 9 】

【発明の効果】

以上詳述したように、本発明によれば、ヒューズ回路の設定情報によりモードの設定をした後においても、モードの再設定を行うことができる。

【図面の簡単な説明】

【図 1】 第 1 実施形態の原理説明図である。

【図 2】 第 1 実施形態の具体的構成を示す回路図である。

【図 3】 プログラム回路の動作波形図である。

【図 4】 アドレスコードとリフレッシュ領域との関係を示す説明図である。

【図 5】 ヒューズ素子の切断状態とリフレッシュ領域との関係を示す説明図である。

【図 6】 第 1 実施形態の状態遷移図である。

【図 7】 第 2 実施形態の具体的構成を示す回路図である。

【図 8】 第 2 実施形態の状態遷移図である。

【図 9】 第 1 従来例の D R A M を示すブロック図である。

【図 1 0】 第 2 従来例の D R A M を示すブロック図である。

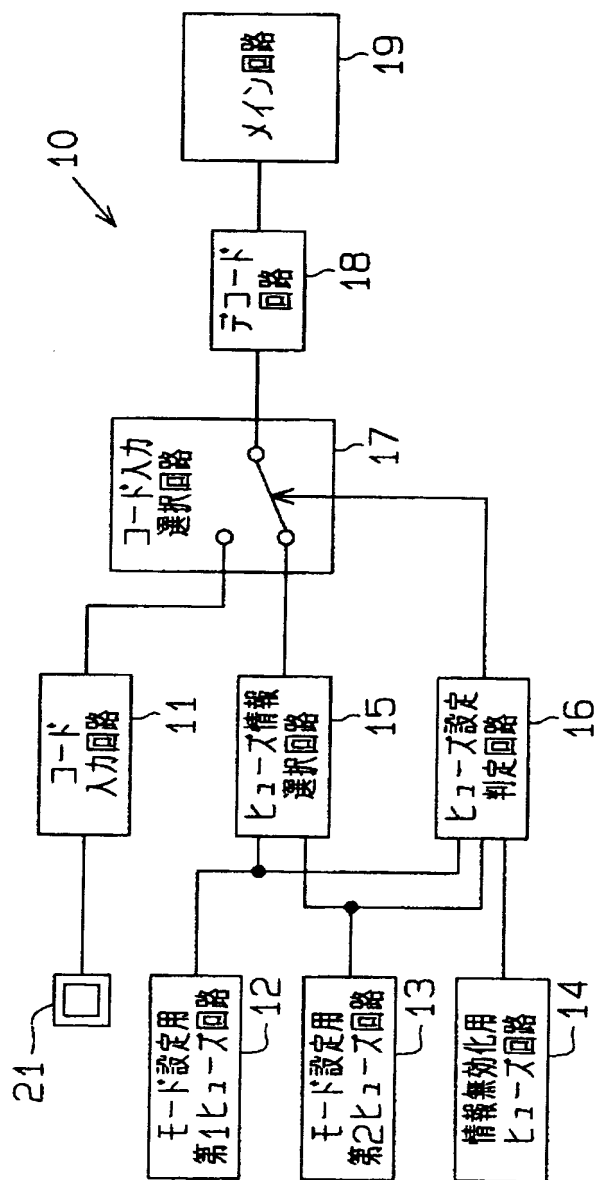
【符号の説明】

- 1 0, 3 0 半導体装置としての D R A M
- 1 2 第 1 ヒューズ回路
- 1 3 第 2 ヒューズ回路
- 1 4 無効化用のヒューズ回路
- 1 5, 1 5 a ヒューズ情報選択回路
- 1 6, 1 6 a ヒューズ設定判定回路
- 1 7 切り替え回路としてのコード入力選択回路
- 3 1 第 3 ヒューズ回路
- 3 2 優先順位設定回路
- A 1 ~ A 3 モード設定信号としてのアドレス信号
- C d 1 ~ C d 2 設定情報としてのコード
- F c 1 ~ F c 3 設定用ヒューズ素子
- F i 無効化用ヒューズ素子
- F j 判定用ヒューズ素子
- F r 1, F r 2 リターン用ヒューズ素子
- I g 無効化信号
- J 1 ~ J 3 判定信号
- R 1, R 2 変更信号としてのリターン信号
- S, S 1 ~ S 3 選択信号

【書類名】 図面

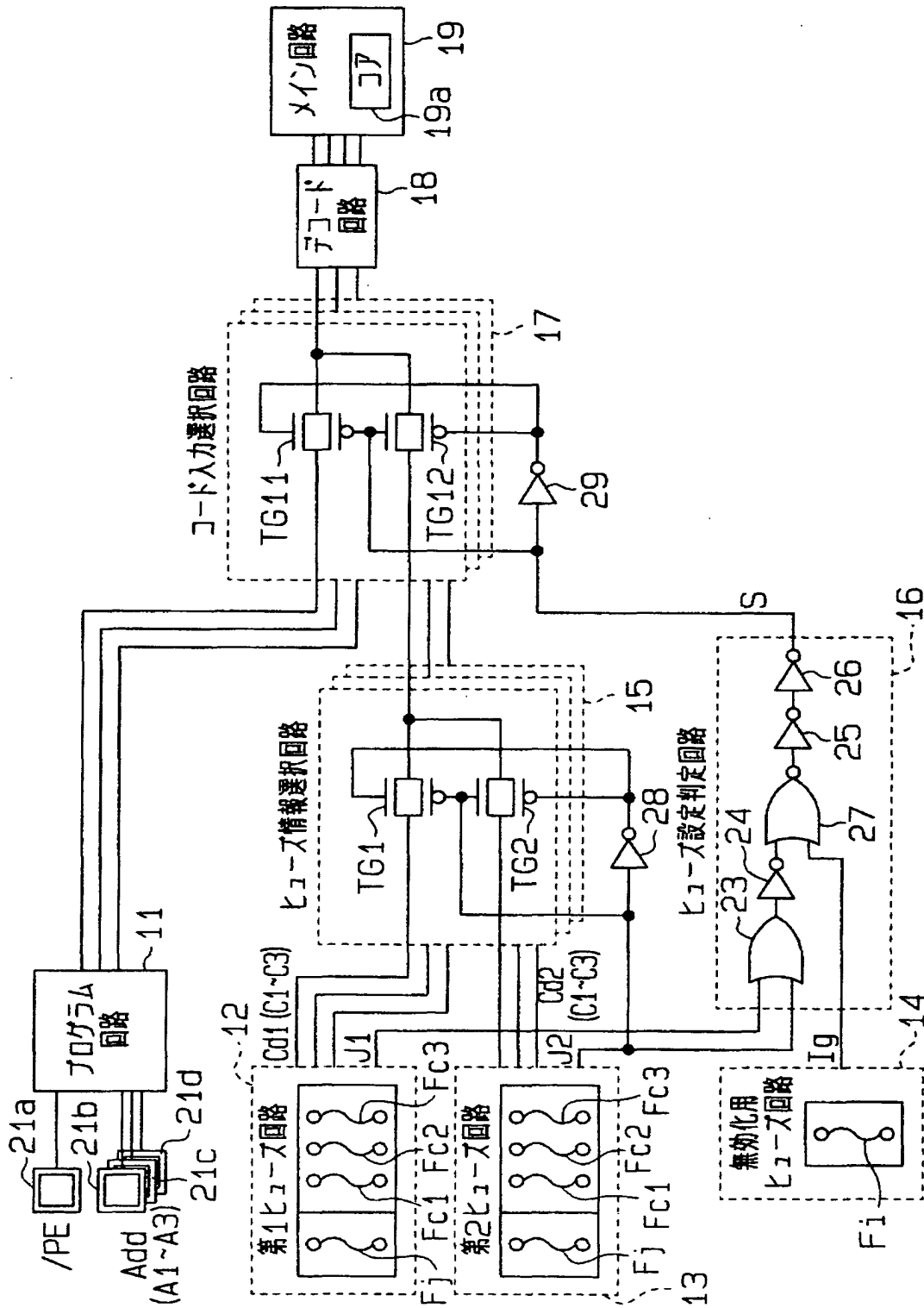
【図 1】

第1実施形態の原理説明図



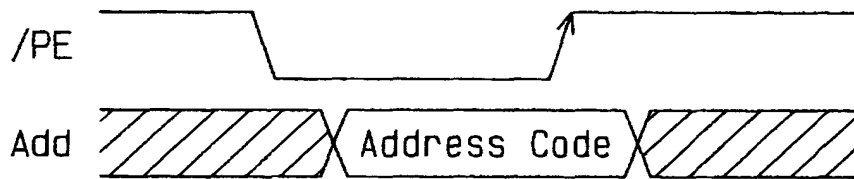
【図2】

第1実施形態の具体的構成を示す回路図



【図 3】

プログラム回路の動作波形図



【図 4】

アドレスコードとリフレッシュ領域との関係を示す説明図

A1	A2	A3	リフレッシュ領域
H	L	L	32m上位アドレス
L	H	L	16m上位アドレス
H	L	H	32m下位アドレス
L	H	H	16m下位アドレス

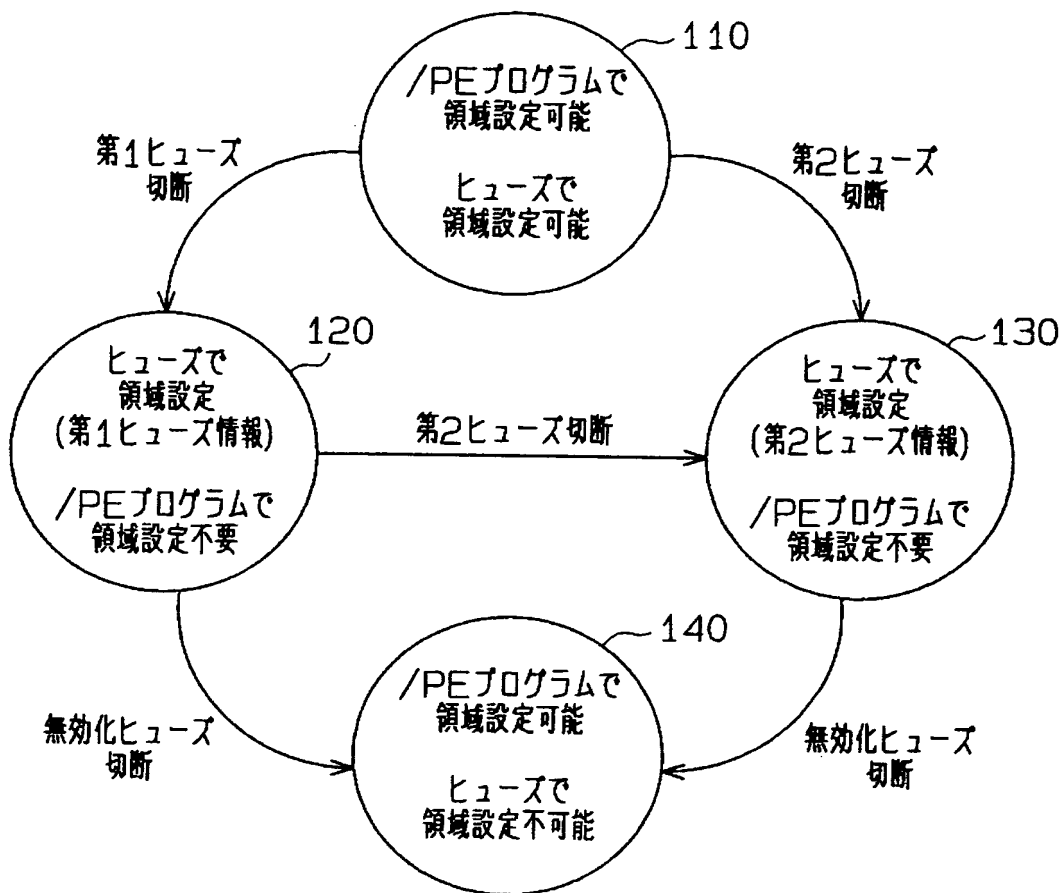
【図 5】

ヒューズ素子の切断状態とリフレッシュ領域との関係を示す説明図

Fuse			リフレッシュ領域
Fc1	Fc2	Fc3	
切断	未切断	未切断	32m上位アドレス
未切断	切断	未切断	16m上位アドレス
切断	未切断	切断	32m下位アドレス
未切断	切断	切断	16m下位アドレス

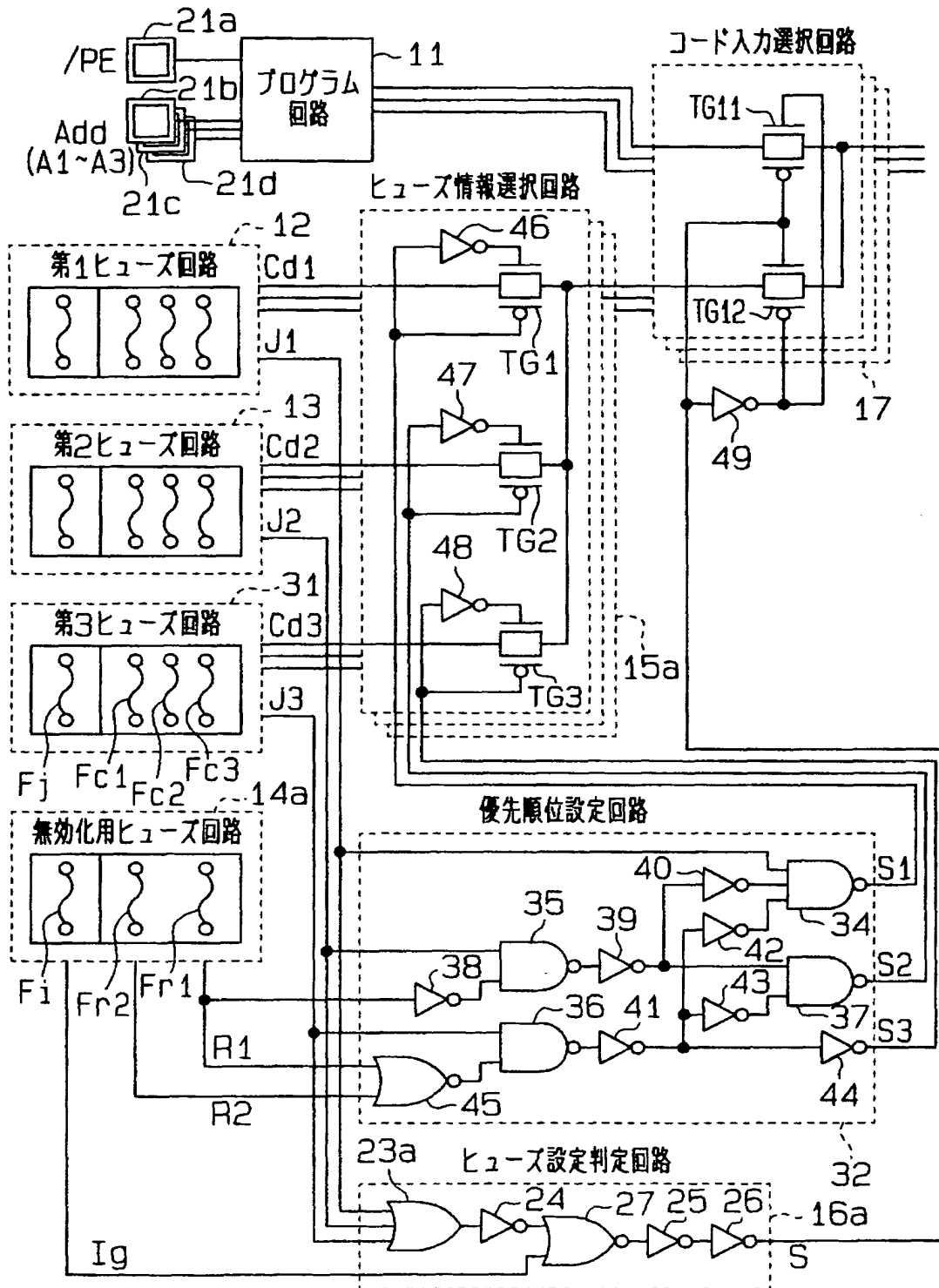
【図 6】

第1実施形態の状態遷移図



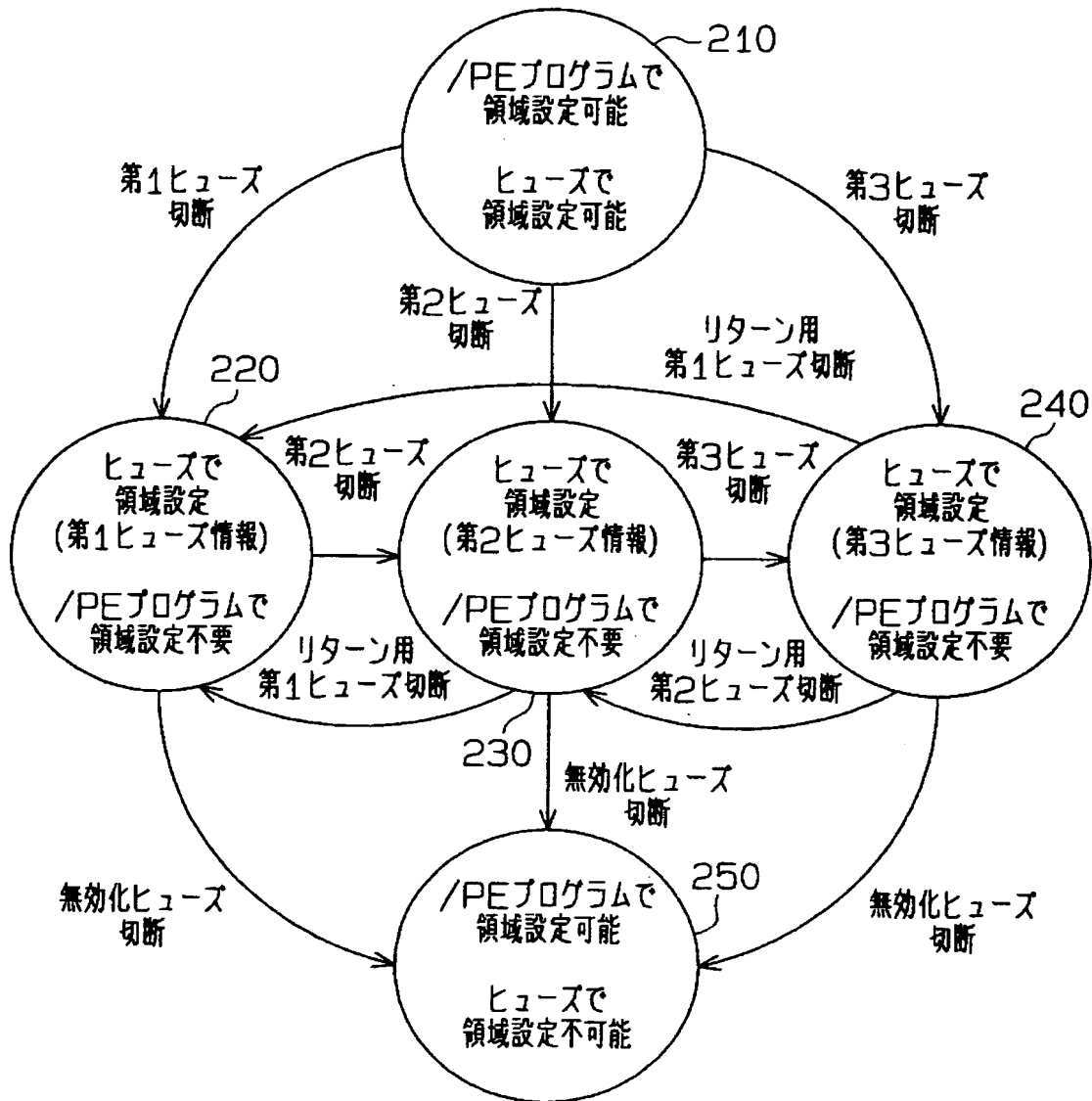
【図 7】

第2実施形態の具体的構成を示す回路図



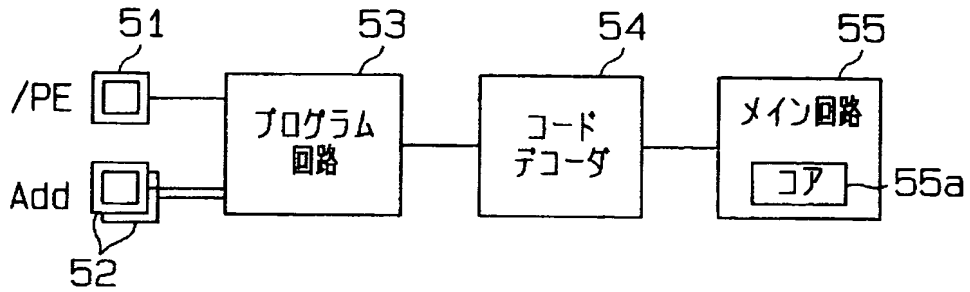
【図 8】

第2実施形態の状態遷移図



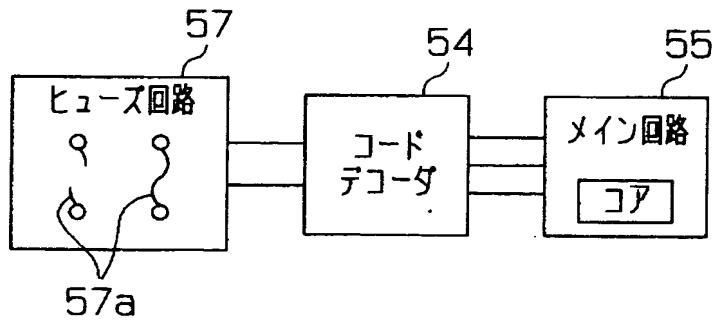
【図 9】

第1従来例のDRAMを示すブロック図



【図 1 0】

第2従来例のDRAMを示すブロック図



【書類名】 要約書

【要約】

【課題】 ヒューズ回路の設定情報によりモードの設定をした後においてもモードの再設定を行うことができる半導体装置を提供すること。

【解決手段】 半導体装置 1 0 は、モード設定用の第 1 及び第 2 ヒューズ回路 1 2 , 1 3、無効化用のヒューズ回路 1 4、ヒューズ情報選択回路 1 5、ヒューズ設定判定回路 1 6、コード入力選択回路 1 7 等を備える。各ヒューズ回路 1 2, 1 3 はモードを設定するための設定情報を記憶し、無効化用のヒューズ回路 1 4 はその設定情報を無効化するための無効化信号を出力する。ヒューズ情報選択回路 1 5 は、各ヒューズ回路 1 2, 1 3 からの信号に基づいて優先順位を確定し、該優先順位に応じた設定情報を選択的に出力する。ヒューズ設定判定回路 1 6 は、各ヒューズ回路 1 2, 1 3, 1 4 の出力信号に基づいてデコード回路 1 8 に伝達するコードを切り替えるようコード入力選択回路 1 7 を制御する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社